

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Digitální řízení spínaných zdrojů

Učební texty k semináři

Autoři:

Ing. Jaroslav Lepka (Freescale Semiconductor, Rožnov p. R.)

Ing. Pavel Grasblum, Ph.D. (Freescale Semiconductor, Rožnov p. R.)

Datum:

31. 5. – 1. 6. 2012

Centrum pro rozvoj výzkumu pokročilých řídicích a senzorických technologií CZ.1.07/2.3.00/09.0031

TENTO STUDIJNÍ MATERIÁL JE SPOLUFINANCOVÁN EVROPSKÝM SOCIÁLNÍM FONDEM A STÁTNÍM ROZPOČTEM ČESKÉ REPUBLIKY

OBSAH

Obsah.....	1
1. Digitální řízení spínaných zdrojů – požadavky kladené na mikropočítač.....	3
1.1. Mikropočítač pro spínané zdroje - obecné požadavky	3
1.2. Jádru mikropočítače.....	5
1.3. Architektura mikropočítače a periferní rozhraní	7
1.4. ADC – Analog Digital Converter.....	8
1.4.1. ADC - vlastnosti.....	8
1.4.2. ADC – blokový diagram.....	9
1.4.3. ADC – zpracování dat převodníkem	10
1.5. Crossbar Switch (XBAR).....	12
1.6. eFlexPWM – PWM modul vhodný pro spínané zdroje	13
1.6.1. eFlexPWM – vlastnosti.....	13
1.6.2. eFlexPWM – blokový diagram celého modulu	16
1.6.3. eFlexPWM – principiální schéma	16
1.6.4. eFlexPWM – detail submodulu	18
1.6.5. eFlexPWM – PWM generator	19
1.6.6. eFlexPWM – Force Output Logic.....	20
1.6.7. eFlexPWM – Complementary and Deadtime Logic	21
1.6.8. eFlexPWM – Fractional Delay and Output Logic	22
1.6.9. eFlexPWM – Princip generování obecného PWM signálu	23
2. Embedded mikropočítače Freescale	24
2.1. Rodina mikropočítačů Freescale DSC56F82xx	24
Seznam použité literatury	26

1. DIGITÁLNÍ ŘÍZENÍ SPÍNANÝCH ZDROJŮ – POŽADAVKY KLADENÉ NA MIKROPOČÍTAČ

Digitální přístup k řízení spínaných zdrojů v současné době zaznamenává velký rozmach. S vývojem mikropočítačů dochází k jejich masivnímu nasazování v této oblasti, což můžeme vidět na nepřeborném množství různých aplikací jako např.: DC-DC měniče (snižující nebo zvyšující), DC-AC měniče, záložní zdroje UPS (Uninterruptible Power Supply), měniče pro solární články, PFC (Power Factor Correction), indukční ohřev, bezdrátový systém nabíjení (wireless charging) a mnoho dalších.

Digitální řízení spínaných zdrojů je komplexní úloha, která klade poměrně vysoké nároky na řídicí mikropočítač z hlediska výpočetního výkonu, vhodných periférií a jejich propojení. Klíčové periferie mají za úkol generovat řídicí signály pro spínací výkonové prvky a umožnit efektivní zpracování analogových signálů, které slouží jako zpětné vazby pro řídicí struktury spínaných zdrojů. Výpočetní jádro mikropočítače pak zabezpečuje zpracování informací z řízeného systému a generování příslušných signálů ovládajících výkonové spínací prvky. Celý proces běží v reálném čase obvykle s pevnou periodou vzorkování, což zjednodušuje návrh regulačních struktur a jejich parametrů.

1.1. Mikropočítač pro spínané zdroje - obecné požadavky

Digitálně řízené spínané zdroje z hlediska rozsahu spínacích frekvencí se běžně pohybují v rozsahu 20kHz až zhruba 300kHz i více. To vede na periody vzorkování od 50us až zhruba do 3.3us. Je zřejmé, že dosáhnout periody vzorkování okolo 3us vyžaduje nejen extrémní nároky na výpočetní výkon jádra mikropočítače, ale i na přerušovací systém a spolupráci periférií mikropočítače s jádrem, které řídí celou aplikaci. Pro tento typ aplikací je zapotřebí při výběru vhodného řídicího mikropočítače přihlídnout k následujícím aspektům:

- Výpočetní výkon jádra - Při výběru vhodného výpočetního jádra je zapotřebí analyzovat předpokládaný řídicí algoritmus z hlediska nároků na výpočetní výkon. Samotný algoritmus se skládá ze zpracování signálů z řízeného procesu, obvykle se jedná o analogové signály (proudy, napětí), které slouží jako zpětné vazby, dále pak regulátor (závisí na typu regulátoru a jeho implementaci) a následného generování signálů pro výkonové prvky. Rovněž je nutné vzít do úvahy přenos a zpracování informací z analogových signálů, jedná se o digitální

filtrace, různé synchronizace, které zabezpečují vhodné vzorkovací okamžiky a samotný přenos dat z převodníku do řídicího algoritmu. Nemalou měrou se na snižování výpočetního výkonu podílí zpracování přerušení, ve kterém dochází k výpočtu řídicího algoritmu. Prodleva mezi událostí vyvolávající přerušení a okamžikem, kdy dojde k vykonání první instrukce přerušovací rutiny, závisí nejen na architektuře mikrokontroléru, ale i na tom, jakým způsobem je celý proces naimplementován z hlediska software. Velmi důležitou součástí aplikace při vývoji je možnost ladění aplikace v reálném čase, což obvykle rovněž vyžaduje nějaký výpočetní výkon.

- Periferie vhodné pro řízení spínaného zdroje - Zde je nutno podotknout, že správná volba periférií hraje významnou roli při konstrukci digitálně řízeného spínaného zdroje. Mezi nejdůležitější periferie patří ADC, generátor PWM, logika ovládající nebezpečné stavy jako jsou nadproudy, přepětí, atd., případně interní komparátory, které zjednodušují a zlevňují celou konstrukci. Jelikož celý řídicí proces je velmi rychlý, je prakticky nemožné definovat vzorkovací okamžiky ADC převodníku softwarem, je zapotřebí mít nějaký druh hardwarové podpory ze strany samotných periférií, což vede k jisté míře autonomie periférií a k odlehčení jádru mikropočítače. Samotné periferie musí být navrženy takovým způsobem, aby splňovaly náročné požadavky na rychlost a rozlišení. Například je nemyslitelné, aby při 3 μ s řídicí smyčce převod ADC převodníku trval 2.5 μ s. Realistické časy jsou pod 0.5 μ s. Generátor PWM signálů musí umožňovat dostatečné rozlišení při generování PWM výstupů. Běžně požadovaná hodnota je 12-bitů a více. Tato hodnota je závislá na požadované frekvenci PWM signálu a na vstupním hodinovém signálu do PWM modulu. Např. pokud hodinový signál PWM modulu je 80MHz a požadovaná frekvence generovaného PWM výstupního signálu je 100kHz, pak reálné rozlišení je $80\text{MHz}/100\text{kHz} = 800$, což odpovídá rozlišení méně než 10-bitů. Toto je reálná hodnota, která přímo nesouvisí s délkou registru definujícího střidu PWM signálu, který v reálu bývá 15-bitů, 16-bitů a více.

- Synchronizace mezi generováním signálů pro spínací prvky a vzorkováním ADC převodníku - Tento požadavek je jedním z nejdůležitějších při volbě vhodného mikropočítače pro řízení spínaných zdrojů. Zajišťuje definování vhodných vzorkovacích okamžiků v závislosti na generovaných signálech z modulu PWM. Tato synchronizace je plně v režii modulů PWM, ADC, případně dalších

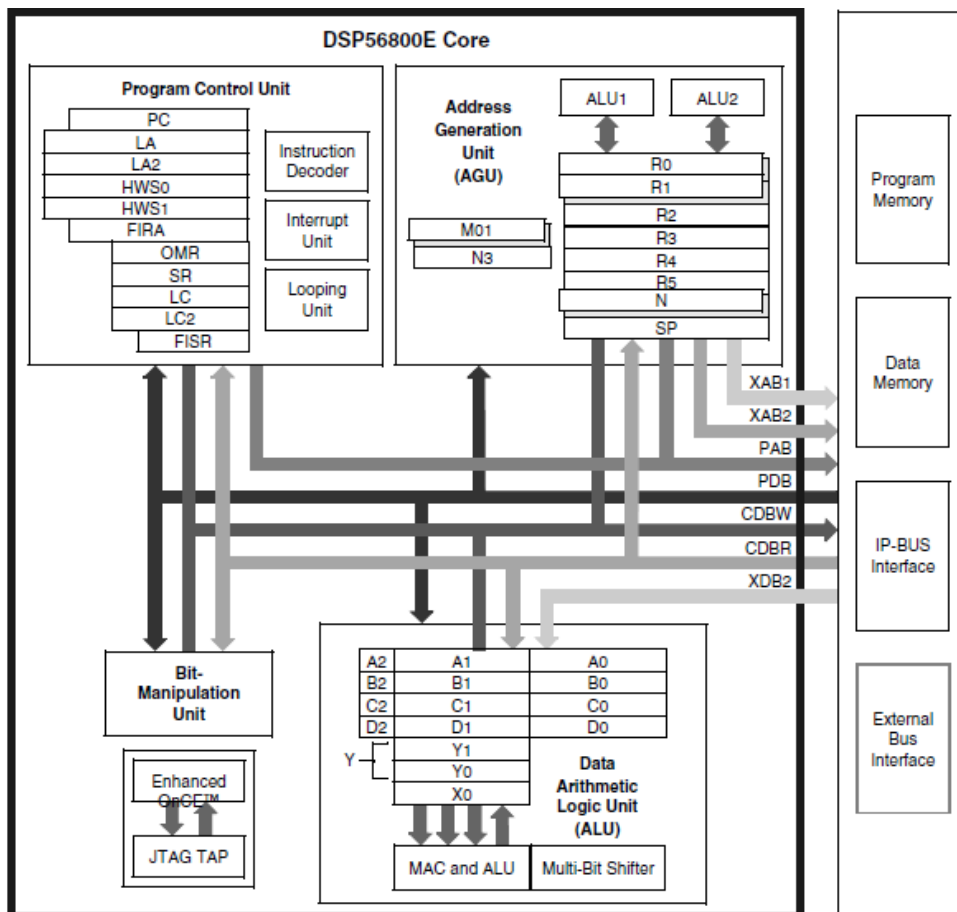
pomocných modulů časovačů. Důležitý předpoklad je, že celá synchronizace probíhá bez účasti jádra mikropočítače a výsledky převodů jsou k dispozici pro zpracování řídicím algoritmem.

1.2. Jádro mikropočítače

Jádro mikropočítače v našem chápání zahrnuje aritmeticko logickou jednotku - ALU (Arithmetic Logic Unit) zabezpečující výpočet řídicích algoritmů, adresovací jednotku AGU (Address Generation Unit) umožňující efektivně adresovat a zpracovávat program obvykle uložený v paměti typu Flash a parametry řídicích algoritmů uložené v paměti typu RAM, řídicí jednotku, která zabezpečuje chod celého mikropočítače (předávání dat přes sběrnice, synchronizaci chodu mikropočítače, atd.), jednotku umožňující efektivní manipulaci s jednotlivými bity nebo skupinami bitů, jednotku, která efektivně řídí přerušovací systém (Interrupt Controller)

Jedna z vhodných architektur je architektura jádra procesoru Freescale DSP56800E s dvojitou Harwardskou архитектурou s oddělenými paměťovými prostory programu a dat. Tato architektura umožňuje současný přístup do programu dat a paměti. Rozhraní datové paměti rovněž umožňuje dva současné přístupy pro čtení do této paměti.

Jádro DSP56800E se skládá z aritmeticko logické jednotky (ALU), adresovací jednotky (AGU), řídicí jednotky, jednotky umožňující efektivní manipulaci s bity (bit-manipulation unit), ladicího modulu (Enhanced On-Chip Emulation module) a propracovaného sběrnicevého systému.



Obr. 1.1: Blokový diagram jádra DSP56800E

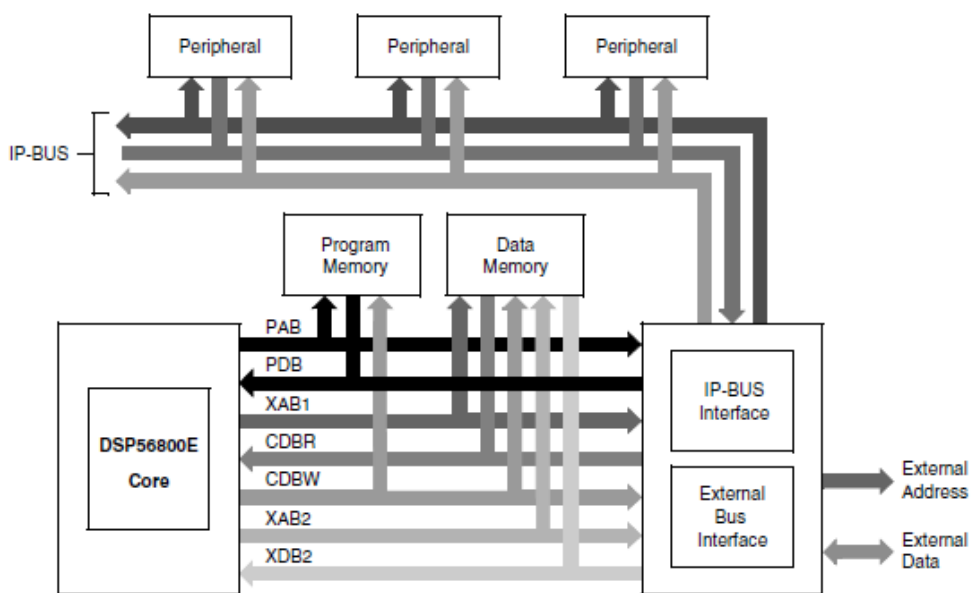
IP-BUS rozhraní podporuje efektivní propojení jádra s celou řadou různých periferních modulů. Příkladem periférií mohou být:

- COP (Computer Operating Properly)
- GPIO (General Purpose Input Output)
- ADC (Analog-to-Digital Converter)
- eFlexPWM (Pulse Width Modulator)
- DAC (Digital-to-Analog Converter)
- SCI (Serial Communication Interface)
- SPI (Serial Peripheral Interface)
- Modul časovačů a čítačů
- atd.

Jádro DSP56800E kombinuje výpočetní výkon signálových procesorů DSP s výhodami klasického MCU. Jedná se o optimalizovanou variantu jádra z hlediska ceny, spotřeby a výpočetního výkonu. Jádro DSP56800E poskytuje poměrně komplexní instrukční sadu, která ve spojení s MAC (multiply-accumulate) jednotkou, rozsáhlou sadou registrů, výkonnou adresovací jednotkou, jednotkou umožňující manipulaci s jednotlivými bity a efektivním sběrnicevým systémem, je optimálním řešením pro rodinu číslicových signálových procesorů DSC (Digital Signal Controller) zaměřených na embedded aplikace v průmyslu, spotřební elektronice, spínané zdroje, atd.

1.3. Architektura mikropočítače a periferní rozhraní

Mikropočítač na bázi jádra DSP56800E obsahuje komponenty zahrnující samotné jádro, interní paměť, periferní moduly a sběrnice, které jsou nezbytné k propojení jednotlivých modulů celého systému.



Obr. 1.2: Architektura DSC mikropočítačů na bázi jádra DSP56800E s externími sběrnici

Architektura DSC mikropočítačů na bázi jádra DSP56800E zahrnuje následující komponenty:

- Jádro DSP56800E
- Interní paměť programu
- Interní paměť dat

- Periferní moduly na čipu
- Freescale IP-BUS periferní rozhraní
- Externí sběrnicové rozhraní

Některé součástky nemají implementované externí sběrnicové rozhraní. Jedná se o případy, kdy jsou součástky distribuovány v malých pouzdrech s malým počtem pinů.

Všechny periferie vždy komunikují s jádrem mikropočítače prostřednictvím IP-BUS periferního rozhraní. IP-BUS periferní rozhraní je napojeno na dvě adresové sběrnice XAB1 a XAB2 umožňující adresovat datový prostor a tři jednosměrné datové sběrnice CDBR, CDBW a XDB2. Sběrnice připojující programovou paměť nejsou připojeny k periferiím.

1.4. ADC – Analog Digital Converter

ADC modul se skládá ze dvou nezávislých ADC převodníků, z nichž každý obsahuje samostatný sample and hold (S/H) obvod. Každý z převodníků má osm analogových vstupů jednoduše ovladatelných díky vstupnímu multiplexeru. ADC kromě analogové části obsahuje i výkonnou řídicí logiku umožňující efektivní a snadné nastavování a přeprogramování v reálném čase.

1.4.1. *ADC - vlastnosti*

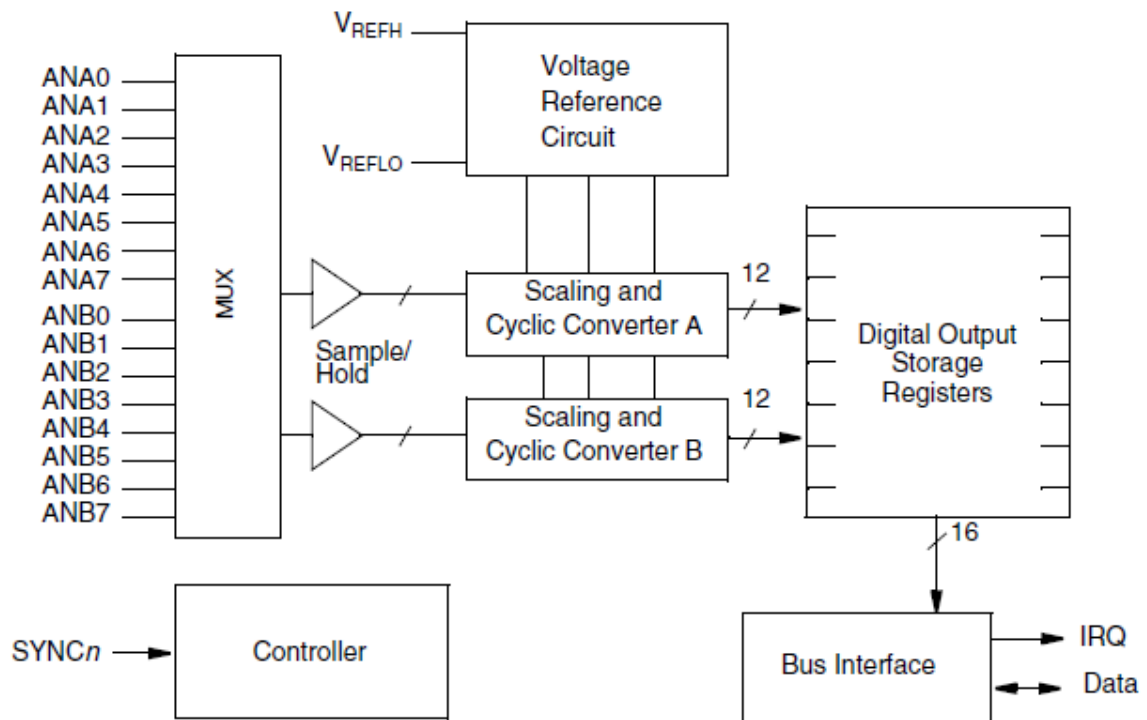
ADC modul charakterizují následující vlastnosti:

- Rozlišení – 12-bitů
- Maximální frekvence hodin převodníku – 15 MHz, což odpovídá periodě 100 ns
- Vzorkovací rychlost – až $3.33 \cdot 10^6$ vzorků za sekundu
- Doba převodu jednoho převodníku (první převod) – 8.5 ADC hodinových cyklů ($8.5 \times 100 \text{ ns} = 850 \text{ ns}$)

- Doba převodu jednoho převodníku (následující převody) – 6 ADC hodinových cyklů ($6 \times 100 \text{ ns} = 600 \text{ ns}$)
- Doba odpovídající osmi převodům - 26.5 ADC hodinových cyklů ($26.5 \times 100 \text{ ns} = 2.65 \text{ } \mu\text{s}$) s využitím paralelního módu
- ADC synchronizace s PWM modulem přes SYNC0/1 vstupní signály – propojeno vnitřně na čipu
- Schopnost sekvenčně převést a uložit až 16 měření
- Schopnost převést a uložit až 8 měření pro každý z převodníků v případě použití simultánního a paralelního módu
- Schopnost převést a uložit až 8 měření pro každý z převodníků v případě, že převodníky běží asynchronně
- Volitelná přerušení v případě ukončení převodu (end of scan), překročení limitů (out-of-range limit exceeded) nebo v případě průchodu nulou (zero crossing)
- Volitelná korekce převedeného výsledku pomocí odečtení předprogramované offset hodnoty
- Signed nebo unsigned výsledky
- Diferenciální vstupy nebo signál vztažený k zemi ADC modulu
- Zesílení vstupních signálů: 1x, 2x a 4x

1.4.2. *ADC – blokový diagram*

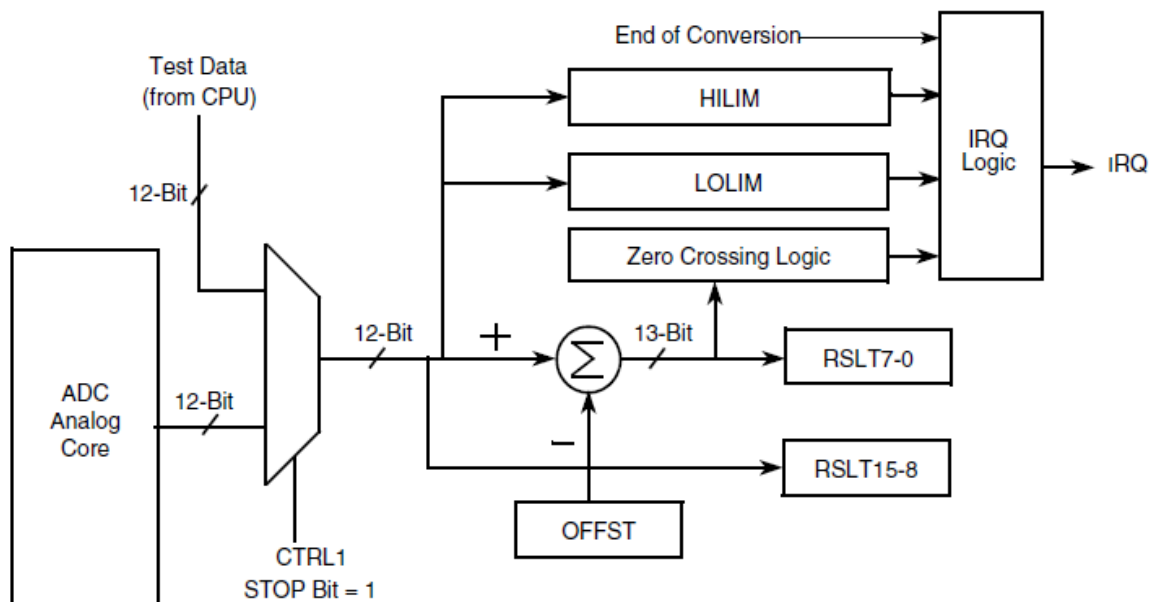
Následující Obr. 1.3 demonstruje konfiguraci ADC modulu



Obr. 1.3: Blokový diagram ADC modulu se dvěma nezávislými převodníky

1.4.3. ADC – zpracování dat převodníkem

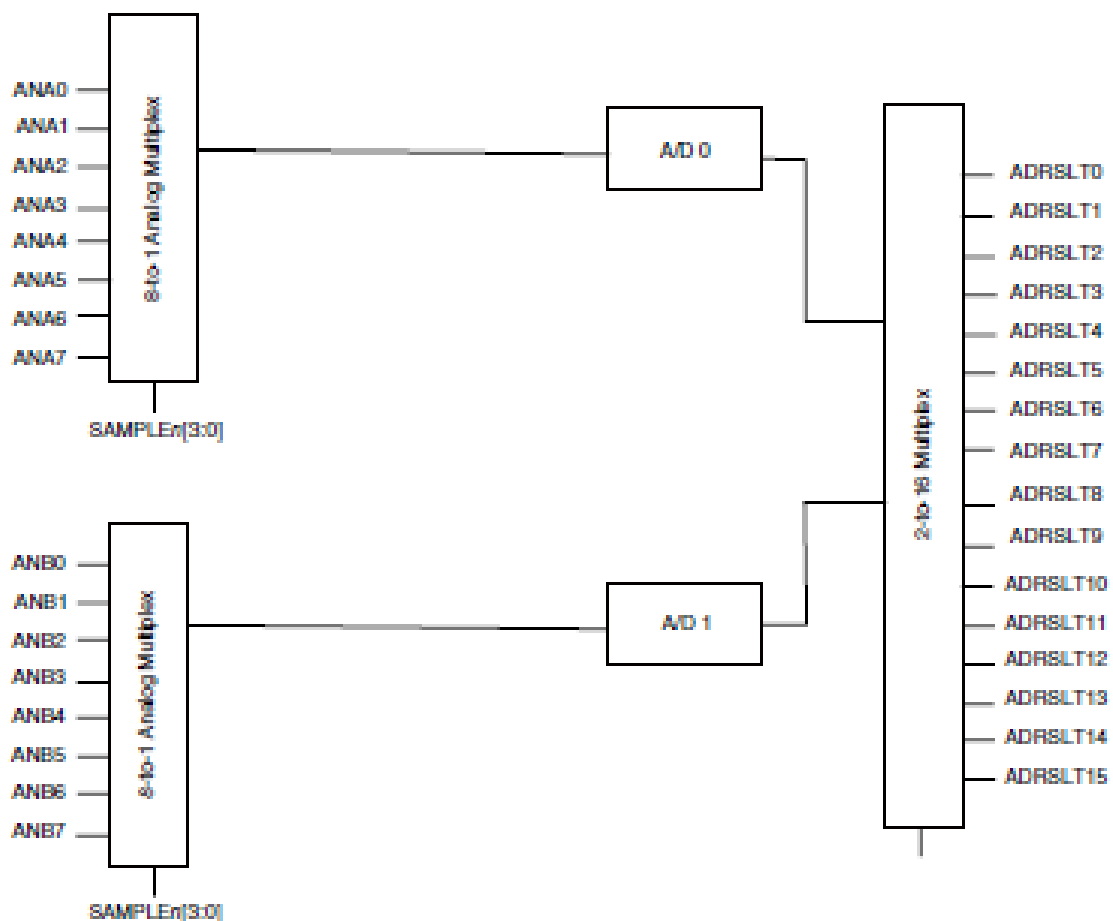
Obr. 1.4 ukazuje zpracování výsledku převodu ADC převodníkem.



Obr. 1.4: Zpracování výsledku převodu ADC převodníkem

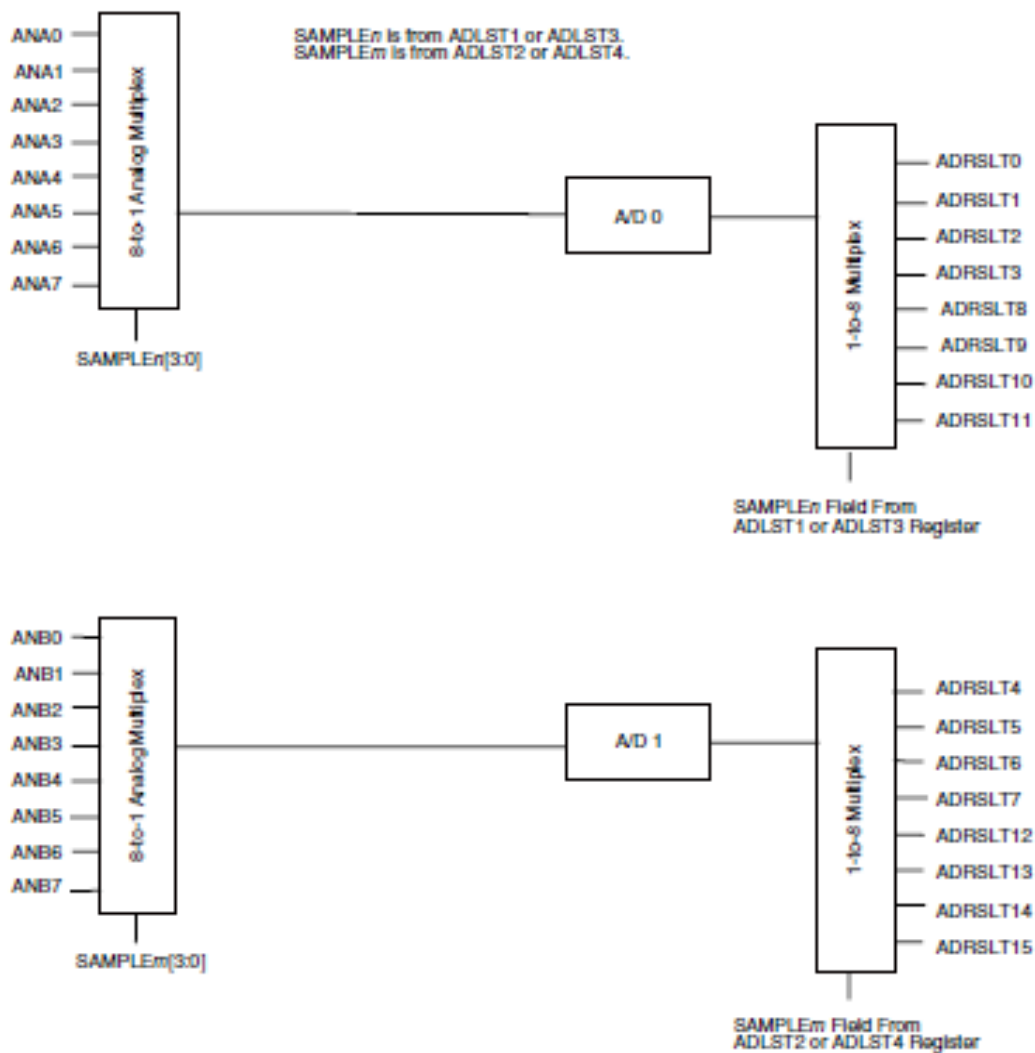
Výsledky převodu (hrubá data) se následně zpracovávají jednotkou, která je součástí ADC převodníku. Analogový signál po převodu jde do sčítačky, kde

dochází volitelně k odečtení hodnoty nastavené uživatelem v offset registru (OFFST). Následně je výsledek uložen do výsledkového registru (RSLT). Hodnota offsetu může být aplikována na výsledkové registry 0 až 7 (RSLT0-7) a to proto, že máme k dispozici osm offset registrů (OFFST0-7). Ve zbývajících výsledkových registrech 8-15 (RSLT8-15) jsou uložena přímo hrubá data převedená převodníkem bez jakéhokoliv předzpracování. Ve stejném okamžiku jsou data jdoucí z převodníku porovnávána s uživatelsky definovanými mezemi HILIM (horní limit) a LOLIM (dolní limit) a generují se přerušení v případě, že jsou povolena. Data z výsledkového registru jsou ještě porovnávána Zerro Crossing logikou a v případě průchodu nulou může být opět generováno přerušení.



Obr. 1.5: ADC- sekvenční skenování

V sekvenčním módu je možno získat 16 ADC převodů, které jsou postupně uloženy do výsledkových registrů ADRSLT0 až ADRSLT15. Analogové vstupy ANA0 až ANA7 jsou připojené přes multiplexer na AD převodník ADC0 a vstupy ANB0 až ANB7 na ADC1



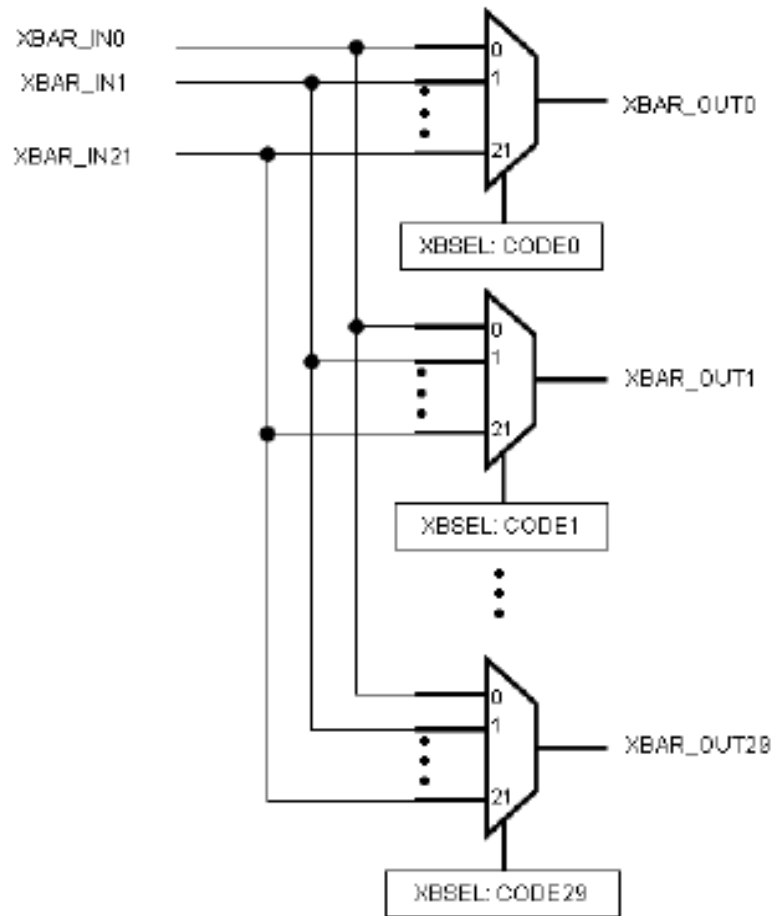
Obr. 1.6: ADC- paralelní skenování

V paralelním módu jsou první 4 výsledky převodu AD převodníku ADC0 uloženy ve výsledkových registrech ADRSLT0 až ADRSLT3 a další 4 výsledky pak v ADRSLT8 až ADRSLT11. Podobně pro AD převodník ADC1, kde první 4 výsledky převodu jsou uloženy ve výsledkových registrech ADRSLT4 až ADRSLT7 a další 4 výsledky pak v ADRSLT12 až ADRSLT15.

1.5. Crossbar Switch (XBAR)

Crossbar switch je v podstatě pole multiplexerů s 22 vstupy a 30 výstupy. Všechny 30 multiplexerů všech 22 vstupů. Záměrem tohoto modulu je poskytnout uživateli flexibilitu v propojování signálů uvnitř čipu. Jednotlivé vstupy jsou pevně definovány v závislosti na implementaci mikropočítače a může se jednat jak o piny mikropočítače, tak i o signály které jsou vnitřně generovány

jednotlivými periferiemi. Crossbar switch umožňuje vzájemně propojovat moduly jako PWM, ADC, DAC, časovače, komparátory, GPIO, atd.



Obr. 1.7: Crossbar switch - blokový diagram

1.6. eFlexPWM – PWM modul vhodný pro spínané zdroje

eFlexPWM modul je komplexní modul speciálně navržený pro použití ve spínaných zdrojích a pro různé konfigurace aplikací s elektrickými pohony. eFlexPWM modul se skládá ze 4 téměř ekvivalentních submodulů. Každý submodul lze použít pro řízení jedné dvojice tranzistorů střídače. Tento modul umožňuje generovat různé tvary spínacích signálů.

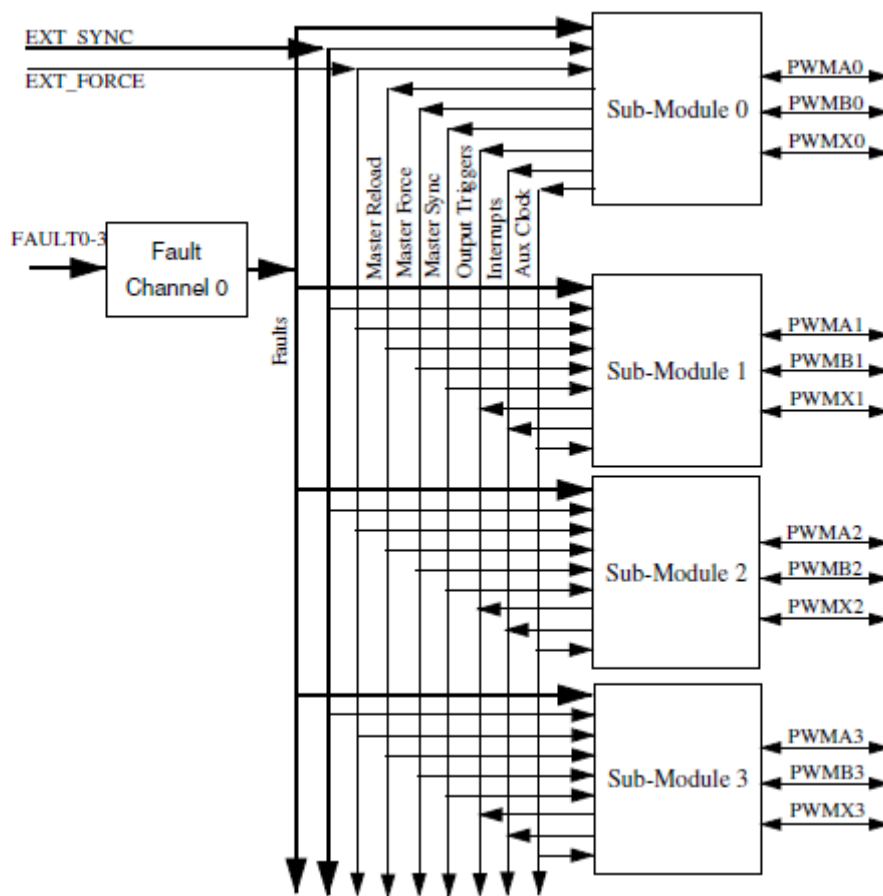
1.6.1. eFlexPWM – vlastnosti

- eFlexPWM modul obsahuje typicky 4 submoduly, přičemž submodul 0 má funkci Master, která umožňuje použít tento submodul pro synchronizaci ostatních submodulů

- Umožňuje generovat PWM signály - center, edge aligned a libovolný asymetrický signál díky možnosti definovat nezávisle nástupnou a sestupnou hranu PWM signálu
- 16-bitové rozlišení
- Fractional delay hardware umožňující výrazně zlepšit rozlišení PWM modulu - vhodné právě pro spínané zdroje
- Fractional delay modul poskytuje dalších 5-bitů analogového zpoždění. Pak lze dosáhnout při vstupním hodinovém signálu do modulu 60MHz ekvivalentního hodinového signálu 1.92GHz
- Při vstupním hodinovém signálu PWM submodulu 60MHz a generované PWM frekvenci 16kHz lze dosáhnout následujícího rozlišení PWM signálu
 - Bez použití Fractional Delay podpory - více než 11-bitů
 - S použitím Fractional Delay podpory - více než 16-bitů
- Při vstupním hodinovém signálu PWM submodulu 60MHz a generované PWM frekvenci 100kHz lze dosáhnout následujícího rozlišení PWM signálu
 - Bez použití Fractional Delay podpory - více než 9-bitů
 - S použitím Fractional Delay podpory - více než 14-bitů
- PWM výstupy mohou být generovány nezávisle nebo komplementárně
- Zajímavou vlastností je, že modul umožňuje definovat střidu s použitím reprezentace čísel se znaménkem
- Podporuje možnost hardwarové synchronizace eFlexPWM modulu s ostatními perifériemi mikropočítače, speciálně pak s modulem ADC.
- Podpora tzv. double switching PWM signálu. Tato technika je vhodná pro rekonstrukci 3-fázových proudů z měření na DC-bus rezistoru
- Speciální FAULT vstupy umožňující řídit stavy PWM výstupů na základě havarijních stavů (nadproudy, přepětí, atd.)

- Možnost filtrování chybových vstupů
- Plně hardwarová podpora vkládání deadtime časů nezávisle pro horní a spodní tranzistory
- Každý submodul může běžet na vlastní frekvenci a navíc s různými vstupními hodinami
- Každý PWM výstup může být řízený i softwarově
- Každý submodul obsahuje speciální vstup-výstup PWMX, který může být nakonfigurován jako vstupní (input capture) nebo výstupní a pak může sloužit ke generování dalšího PWM výstupu z daného submodulu
- V případě 4 submodulů lze generovat 8 samostatných PWM výstupů nebo 4 dvojice komplementárních signálů, plus další 4 PWM vstupy nebo výstupy jsou k dispozici jako signály PWMx
- Push-Pull nebo open drain módy pro PWM piny
- Programovatelný vstupní filtr pro chybové piny
- Ochrana PWM modulu ve formě registrů s ochranou proti zápisu

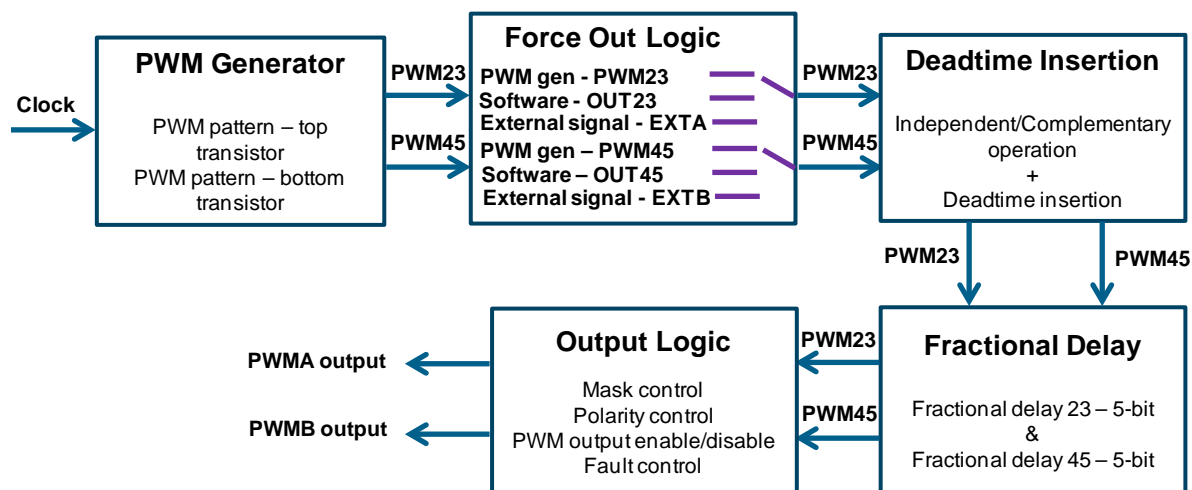
1.6.2. *eFlexPWM – blokový diagram celého modulu*



Obr. 1.8: eFlexPWM modul - blokový diagram celého modulu

Jak již bylo zmíněno v předchozí kapitole eFlexPWM modul se skládá ze 4 submodulů: submodul 0, submodul 1, submodul 2 a submodul 3. Všechny 4 submoduly jsou ekvivalentní, pouze submodul 0 může sloužit jako "master" pro synchronizaci s ostatními submoduly. Každý submodul generuje 3 výstupní signály PWMAx, PWMBx and PWMXx. Kromě těchto signálů moduly generují a zpracovávají celou řadu dalších signálů zřejmých z blokového diagramu.

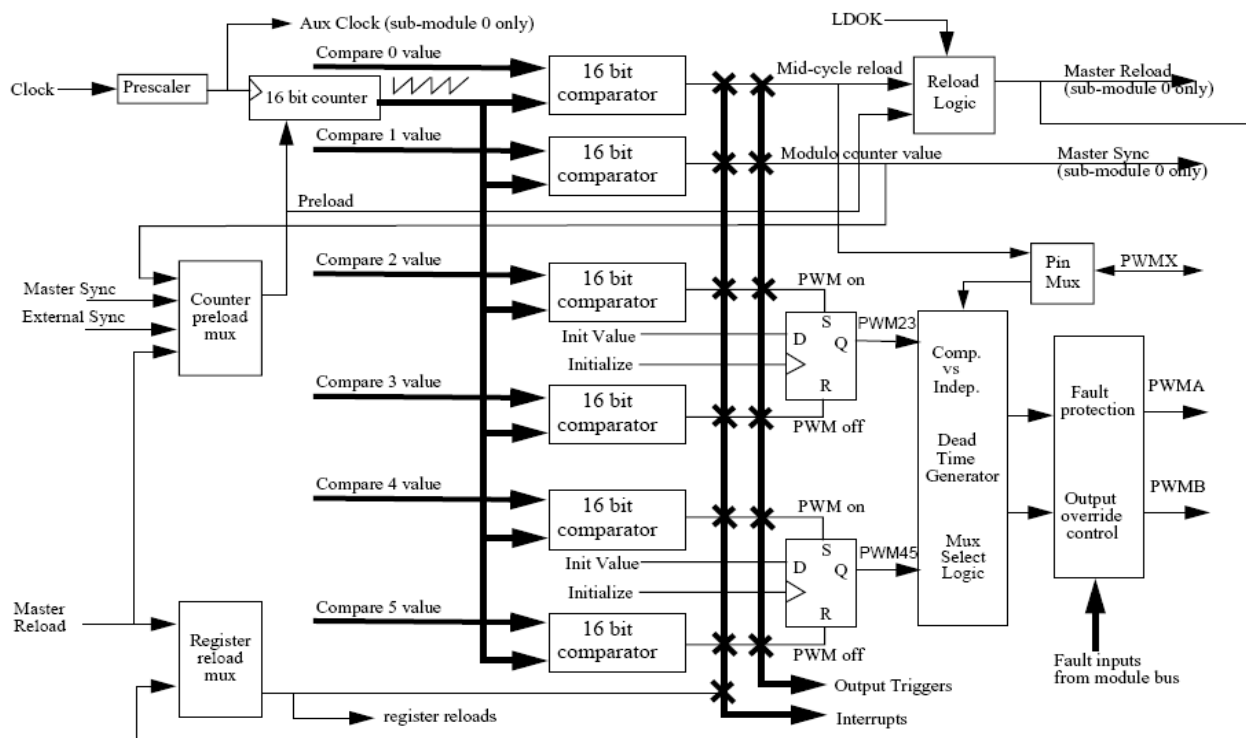
1.6.3. *eFlexPWM – principiální schéma*



Obr. 1.9: Principiální schéma generování PWM signálů pomo eFlexPWM modulu

Principiální blokové schéma eFlexPWM submodulu je zobrazeno na obr. 1.9. Základním blokem celého modulu je generátor PWM signálů. Vstupem PWM generátoru jsou hodiny, které mohou být různé pro každý submodul. PWM generátor generuje šířkově modulovaný signál, výstupy PWM23 a PWM45. Tyto dva signály jsou pak dále zpracovávány blokem Force Out Logic, který na základě celé řady interních signálů vybírá výsledné výstupní PWM signály, PWM23 a PWM45. Tento blok rozhoduje o tom, zda signály generované PWM generátorem, externím signálem nebo softwarem budou následně zpracovány blokem Deadtime Insertion. Blok Deadtime Insertion zabezpečuje korektní vkládání deadtime prodlevy na základě volby typu generovaných signálů. Ty mohou být komplementární nebo nezávislé (independent). Deadtime prodleva se do signálů vkládá automaticky v případě generování komplementárních signálů. Výstupem z bloku Deadtime Insertion jsou opět dva signály PWM23 a PWM45. Tyto dva signály jsou následně zpracovávány blokem Fractional Delay, který zabezpečuje vysoké rozlišení PWM signálů. Toto je dosaženo speciálním hardwarovým řešením, které umožňuje dělit čas mezi dvěma hodinovými signály. Poslední blok nazývaný Output Logic plní celou řadu funkcí: zabezpečuje chování PWM výstupů ve stavech Fault, vytváří interface mezi výstupy PWM modulu a hardwarem, který je externě k PWM modulu připojen, povoluje a zakazuje propojení PWM signálů na piny mikropočítače a zabezpečuje funkčnost "Mask control".

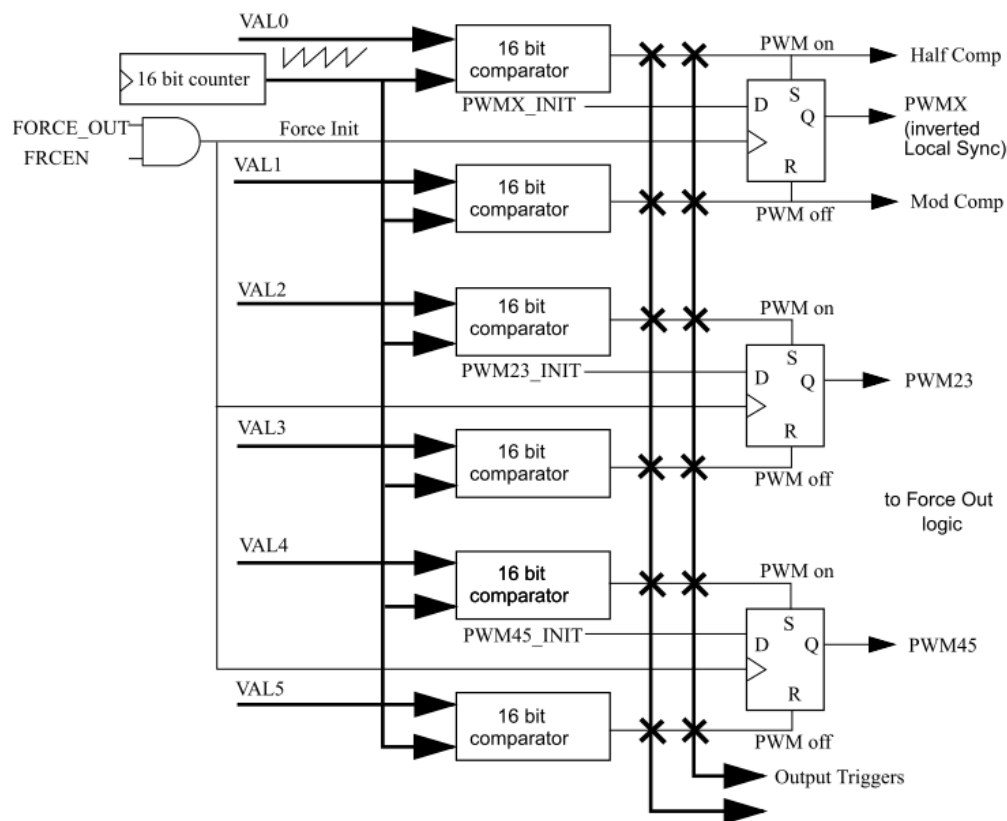
1.6.4. eFlexPWM – detail submodulu



Obr. 1.7: eFlexPWM - detailní blokový diagram submodulu

Detailní blokové schéma submodulu je zobrazeno na obr.1.7 a odpovídá principiálnímu schématu z obr. 1.6.

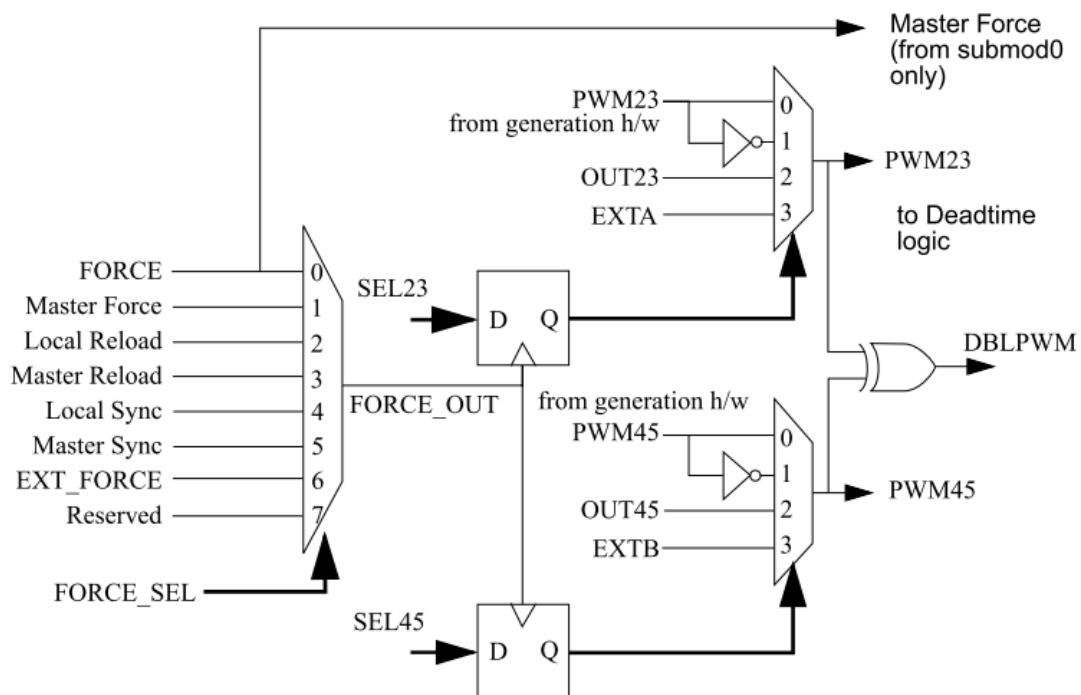
1.6.5. *eFlexPWM – PWM generator*



Obr. 1.8: eFlexPWM - PWM generator

Princip funkce PWM generátoru je zobrazen na obr. 1.8. PWM generátor obsahuje 16-bitový čítač, který může volitelně čítat záporná čísla, dále pak 6 nezávislých 16-bitových komparátorů a 6 value registrů Val0 až Val5. Val1 definuje periodu PWM signálu, Val0 pak mid-cycle reload. Val2 a Val4 definují nástupné hrany PWM signálů PWM23 a PWM45 a Val3 a Val5 pak sestupné hrany PWM signálů. Výstupem PWM generátoru jsou signály PWM23, PWM45 a PWMX

1.6.6. eFlexPWM – Force Output Logic



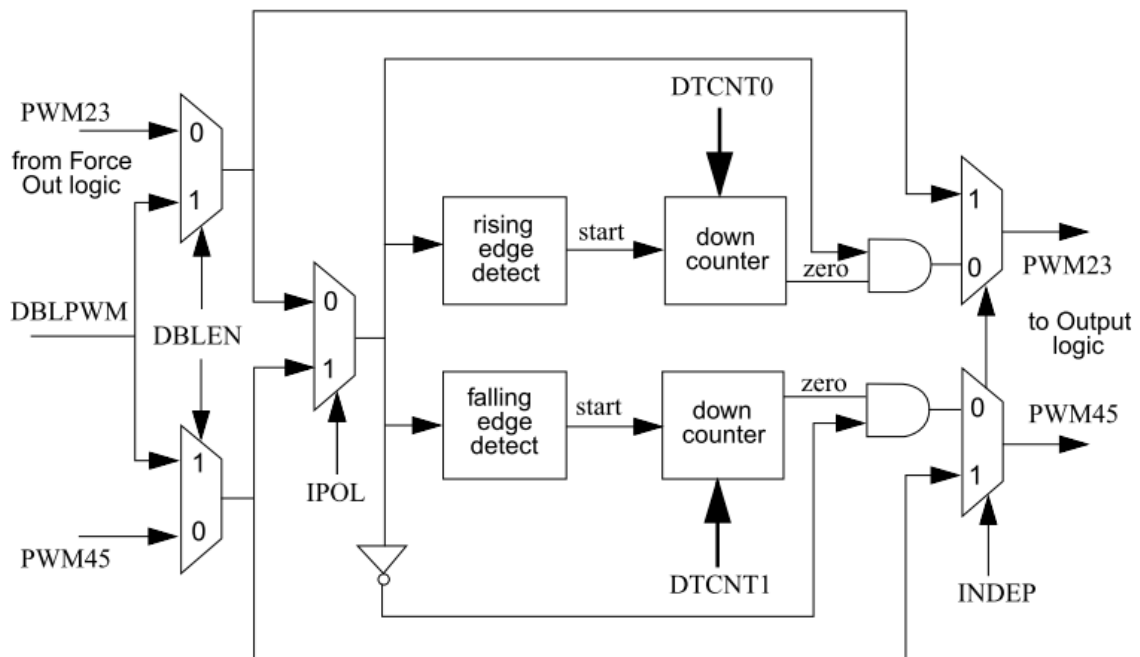
Obr. 1.9: eFlexPWM - Force Output Logic

Force Output Logic poskytuje možnost volit různé zdroje signálů pro generování výsledného PWM výstupu. Máme k dispozici následující možnosti:

- PWM23/PWM45 - výstupy z PWM generátoru
- Negované signály PWM23/PWM45
- OUT23/OUT45 - definováno softwarově
- EXTA/EXTB - externí signály generované vně PWM modulu

Volba zdroje výstupního signálu je synchronizovaná signálem FORCE_OUT.

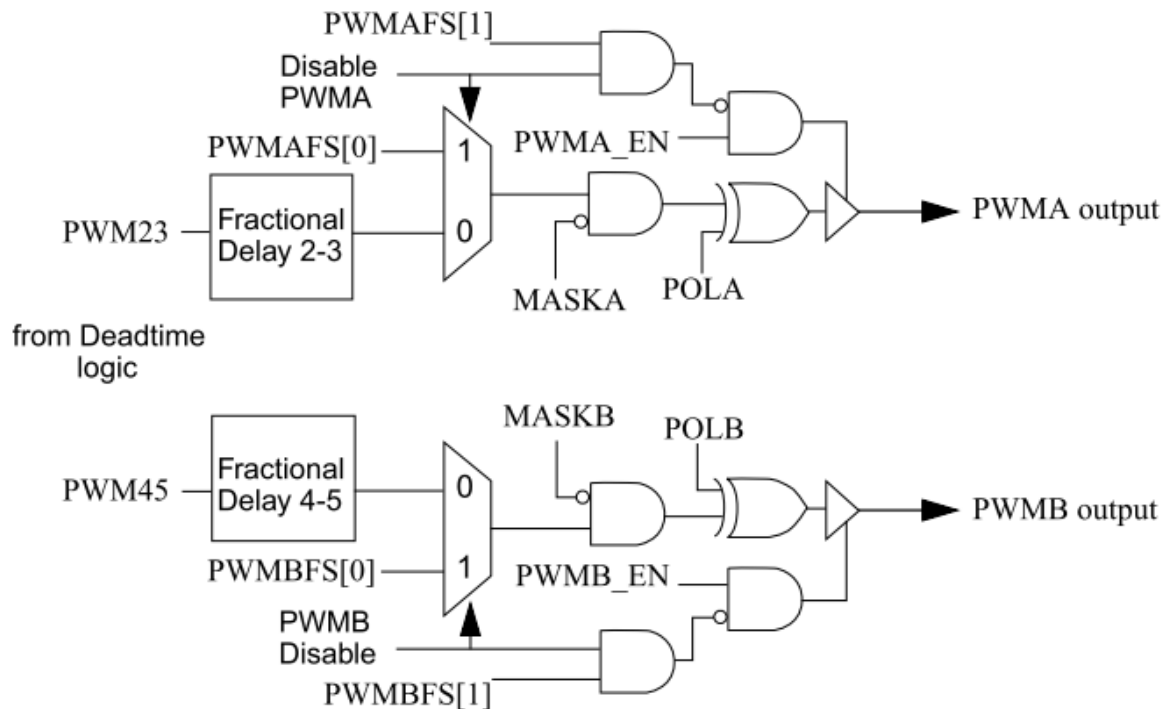
1.6.7. *eFlexPWM – Complementary and Deadtime Logic*



Obr. 1.10: eFlexPWM - Complementary and Deadtime Logic

Tento blok generuje deadtime automaticky v případě, že zvolíme generování komplementárních PWM signálů. Deadtime si lze definovat různě pro nástupnou a sestupnou hranu PWM signálu.

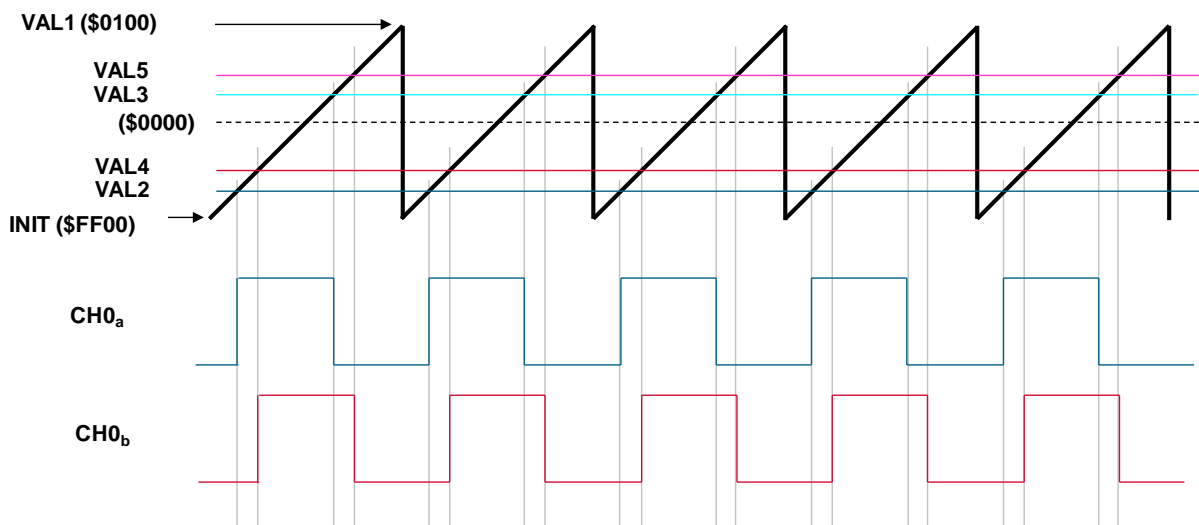
1.6.8. *eFlexPWM – Fractional Delay and Output Logic*



Obr. 1.11: eFlexPWM - Fractional Delay and Output Logic

PWMA output a PWMB output jsou výsledné výstupní signály modulu eFlexPWM. Řídící bity POLA a POLB definují polaritu výstupního generovaného signálu v závislosti na připojeném externím obvodu. Řídící bity PWMA Disable/PWMB Disable umožňují odpojit a opět připojit PWM signály generované eFlexPWM modulem na piny mikropočítače. Této vlastnosti lze s výhodou použít při nastavování eFlexPWM modulu. Můžeme postupně nastavovat PWM modul a v okamžiku, kdy s jistotou víme, že modul je nastaven správně, povolíme generování PWM signálů na výstupní piny. Bity PWMAFS[0] a PWMAFS[1]/ PWMBFS[0] a PWMBFS[1] definují stav PWM výstupů v případě detekce stavu Fault. Bity MASKA/MASKB v případě nastavení na logickou 1 okamžitě maskují příslušný PWM signál, což vede k jeho nastavení na logickou 0. Ovšem polarita výstupního signálu je upravena bity POLA/POLB jak již bylo zmíněno.

1.6.9. *eFlexPWM – Princip generování obecného PWM signálu*



Obr. 1.12: eFlexPWM - Princip generování obecného PWM signálu

Jak je patrné z obrázku, INIT hodnota definuje počáteční stav čítání čítače. Čítač pak čítá do hodnoty VAL1. Po dosažení hodnoty VAL1 dochází k přetečení a opět se začíná čítat od hodnoty INIT. Hodnoty INIT a VAL1 mohou být konstantní po celou dobu běhu PWM modulu nebo je lze měnit za chodu. Tyto dva registry definují periodu PWM signálu. Registry symbolicky označené jako VAL2 a VAL3 definují nástupnou a sestupnou hranu výstupu PWM23 a VAL4 a VAL5 pak definují nástupnou a sestupnou hranu výstupu PWM45. Je zřejmé, že pokud chceme definovat nějakou z hran, musí hodnoty VAL2/VAL3/VAL4/VAL5 ležet mezi hodnotou INIT a VAL1.

2. EMBEDDED MIKROPOČÍTAČE FREESCALE

2.1. Rodina mikropočítačů Freescale DSC56F82xx

Rodina mikropočítačů Freescale DSC56F82xx čítá šest zástupců. Jednotlivé mikropočítače se liší ve velikosti pouzdra, velikosti paměti RAM a FLASH, v počtu periférií implementovaných na čipu a typech periférií. Celá rodina je založena na jádře DSP56800E. Napájecí napětí je 3.3V a běží na frekvenci 60MHz. Standardní ladicí rozhraní je JTAG/Enhanced OnCE.

Do rodiny mikropočítačů Freescale DSC56F80xx patří následující zástupci:

- **MC56F8245** – pouzdro je 44 pinové LQFP, programová/datová Flash – 48kB, programová/datová RAM – 6kB
- **MC56F8246** – pouzdro je 48 pinové LQFP, programová/datová Flash – 48kB, programová/datová RAM – 6kB
- **MC56F8247** – pouzdro je 64 pinové LQFP, programová/datová Flash – 48kB, programová/datová RAM – 8kB
- **MC56F8255** – pouzdro je 44 pinové LQFP, programová/datová Flash – 64kB, programová/datová RAM – 8kB
- **MC56F8256** – pouzdro je 48 pinové LQFP, programová/datová Flash – 64kB, programová/datová RAM – 8kB
- **MC56F8257** – pouzdro je 64 pinové LQFP, programová/datová Flash – 64kB, programová/datová RAM – 8kB

	56F8245	56F8246	56F8247	56F8255	56F8256	56F8257
Performance	60 MHz / MIP					
High Speed Peripheral Clock	120 MHz					
Program / Data Flash	48KB			64KB		
Program / Data RAM	6KB	6KB	8KB	8KB	8KB	8KB
Program Security	Yes					
eFlexPWM Channels	1 x 6ch	1 x 6ch	1 x 9ch	1 x 6ch	1 x 6ch	1 x 9ch
HiRes PWM Channels	6ch					
Enhanced FlexPWM w/ Input Capture	0	0	3	0	0	3
PWM Fault Inputs	4					
12-bit ADCs w/ PGA	2 x 4ch	2 x 5ch	2 x 8ch	2 x 4ch	2 x 5ch	2 x 8ch
12-bit DACs	1					
Analog Comparator w/ 5bit DAC Ref	3					
Cross Bar Module	Yes					
High Speed 16-bit Timer (TMR)	8					
GPIO (max 8mA)	35	39	54	35	39	54
IIC/SMBus	2					
QSCI (UART) / LIN Slave	2					
QSPI Synchronous	1					
CAN	0			1		
COP, POR, LVD, PLL CRC	Yes					
JTAG / EOnCE	Yes					
Operating Temperature Range	-40 °C to 105 °C					
Package	44 LQFP	48 LQFP	64 LQFP	44 LQFP	48 LQFP	64 LQFP

Obr. 2.1: MC56F82xx - porovnání rodiny mikro počítačů

Rodina mikro počítačů MC56F82xx je vhodná pro řízení digitálních spínaných zdrojů. Klíčové parametry z hlediska spínaných zdrojů jsou:

- Frekvence hodin mikro počítače - 60MHz
- 8 výstupů eFlexPWM modulu
- Rozlišení PWM - díky Fractional delay modulu až 520ps
- Dva 12-bitové AD převodníky se 16 analogovými vstupy
- Rychlost AD převodníku 600ns
- Inteligentní spouštění AD převodníku - synchronizace s PWM modulem
- PGA - programovatelný zesilovač - zesílení 1x, 2x, 4x
- Crossbar switch - vysoká flexibilita propojování signálů v rámci mikro počítače

SEZNAM POUŽITÉ LITERATURY

- [1] MC56F825XRM.pdf - MC56F825x/4x Reference Manual
- [2] eFlexPWM - design eference manual
- [3] DSP56800ERM.pdf - DSP56800E Reference Manual

Centrum pro rozvoj výzkumu pokročilých řídicích a sensorických technologií
CZ.1.07/2.3.00/09.0031

Ústav automatizace a měřicí techniky
VUT v Brně
Kolejní 2906/4
612 00 Brno
Česká Republika

<http://www.crr.vutbr.cz>

info@crr.vutbr.cz